

# 12.5Gb/s 0.18 $\mu$ m CMOS 时钟与数据恢复电路设计

潘 敏<sup>1,2</sup>,冯 军<sup>1</sup>,杨 婧<sup>1</sup>,杨林成<sup>1</sup>

(1.东南大学射频与光电集成电路研究所,江苏南京 210096;2.合肥工业大学计算机与信息学院,安徽合肥 230001)

**摘 要:** 采用 0.18 $\mu$ m CMOS 工艺设计实现了一个 12.5 Gb/s 半速率时钟数据恢复电路(CDR)以及 1:2 分接器,该 CDR 及分接器是串行器/解串器(SerDes)接收机中的关键模块,为接收机系统提供 6.25GHz 的时钟及经二分接后速率降半的 6.25Gb/s 数据.该电路包括 Bang-bang 型鉴频鉴相器(PFD)、四级环形压控振荡器(VCO)、V/I 转换器、低通滤波器(LPF)、1:2 分接器等模块,其中 PFD 采用一种新型半速率的数据采样时钟型结构,能提高工作速率达到 12.5 Gb/s.芯片测试结果显示,在 1.8V 的工作电压下,VCO 中心频率在 6.25GHz 时,调谐范围约为 1GHz;输入 12Gb/s、长度为  $2^{31}-1$  的伪随机数据时,得到 6GHz 时钟的峰峰抖动为 9.12ps,均方根(RMS)抖动为 1.9ps;整个系统工作性能良好,二分接器输出数据眼图清晰,电路核心模块功耗为 150mW,整体芯片面积  $0.476 \times 0.538\text{mm}^2$ .

**关键词:** 串行器/解串器(SerDes);时钟数据恢复电路(CDR);鉴频鉴相器(PFD);压控振荡器(VCO)

**中图分类号:** TN913 **文献标识码:** A **文章编号:** 0372-2112(2014)08-1630-06

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2014.08.027

## Design of 12.5Gb/s 0.18 $\mu$ m CMOS Clock and Data Recovery Circuit

PAN Min<sup>1,2</sup>, FENG Jun<sup>1</sup>, YANG Jing<sup>1</sup>, YANG Lin-cheng<sup>1</sup>

(1. Institute of RF & OE-ICs, Southeast University, Nanjing, Jiangsu 210096, China;

2. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230001, China)

**Abstract:** 12.5 Gb/s half-rate clock and data recovery (CDR) circuit and 1:2 demultiplexer (DEMUX) applied to a serializer/deserializer (SerDes) receiver were designed and implemented in 0.18 $\mu$ m CMOS process. The CDR and DEMUX provided 6.25 GHz clock and 6.25 Gb/s data for the SerDes receiver. The circuit incorporated a Bang-bang phase/frequency detector (PFD), a four-stage ring voltage-controlled oscillator (VCO), a V/I (Voltage-to-Current) converter, a low pass filter (LPF), a 1:2 DEMUX and so on. A new half-rate PFD which sampled the clock by data was adopted, and this PFD could increase operating rate up to 12.5 Gb/s. The tested results show that at the supply voltage of 1.8V, the tune range of VCO is about 1GHz at 6.25GHz centre frequency. When the data rate of the input pseudorandom is 12Gb/s and sequence length is  $2^{31}-1$ , the recovered 6GHz clock has a root mean square (RMS) jitter of 1.9ps and a peak-to-peak jitter of 9.12ps. At the same time, the total chip can work well and the eye diagram of output data is clear. The die size is  $0.476 \times 0.538\text{mm}^2$  and the core power consumption is only 150mW excluding the output buffers.

**Key words:** serializer/deserializer (SerDes); clock and data recovery (CDR); ase/frequency detector (PFD); voltage - controlled oscillator (VCO)

## 1 引言

随着信息流量需求的不断增大,传统的并行接口技术阻碍了数据传输速率的进一步提高.过去主要应用于光纤通信的串行通信技术——SerDes 正在逐渐取代并行接口技术,成为如今高速接口技术的主流<sup>[1]</sup>. SerDes 是串行器 (Serializer) 与并行器 (Deserializer) 所构成整体的简称,该技术在发送端将多路低速率的信号复接成一

路高速率的信号(数据串行化),经过传输媒介(光缆或铜线)进行传输,在接收端通过时钟数据恢复电路(CDR)再生时钟及数据流,最终分接器将再生的数据流重新分接成几路低速信号<sup>[2]</sup>. 鉴于 SerDes 广阔的应用前景,国内外研究机构都在积极研究以便开发相应的 IP 核.文献[3]中 2010 年美国的 Jayesh Patil 等采用 130nm CMOS 工艺实现了用于 6Gb/s SerDes 接收机的 CDR,文献[4]中 2011 年埃及的 Sally Safwat 等采用 65nm

CMOS工艺实现了 12Gb/s SerDes 接收机,文献[5]中 2012 年英国的 Mike Harwood 等采用 40nm CMOS 工艺实现了 28Gb/s SerDes 系统。

一直以来, SerDes 接收机中 CDR 的设计与实现是一个重要的研究方向,很多文献均对此进行了报道<sup>[6~14]</sup>。但是通过分析,不难发现,其中采用特征频率 49GHz 的 0.18 $\mu$ m CMOS 工艺实现的 CDR 却很少有超过 10Gb/s 这个速率的。本文提出了一种新型的半速率 Bang-bang 型鉴频鉴相器(PFD)结构,并且采用 0.18 $\mu$ m CMOS 工艺与压控振荡器(VCO)、电压/电流(V/I)转换器、低通滤波器(LPF)等构成了一个基于锁相环的速率达到 12.5 Gb/s 的 CDR 以及一个二分接电路,完成从接收机接收到的数据中恢复出电路所需的时钟信号并实现数据的二分接功能,为后续电路提供时钟以及数据,系统结构如图 1。文中首先介绍了新型 PFD 的详细设计过程,然后介绍了 VCO 以及其他模块电路的设计,最后给出了整个芯片的测试结果。

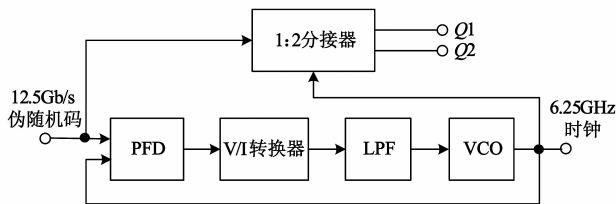


图1 CDR及二分接系统结构

## 2 新型 PFD 的设计

PFD 是具有鉴相(PD)及鉴频(FD)两种功能的电路,分析现有的文献,不难发现其中 PD 的设计是制约其速率提高的一个重要因素。对于 PD,根据输出数据与输入时钟相位差之间的关系,通常分为线性和非线性 PD 两种,线性 PD 对电路速度要求很高,很难实现高速率,而非线性 PD 虽然丢掉了相位差的幅度信息,但是却具备了数字特征,鲁棒性较高,能达到较高的速率。Bang-bang 型 PD 就是一种最为典型且常用的非线性 PD。根据输入数据速率与输入时钟频率之间关系又可分为全速率、半速率及 1/4 速率<sup>[6]</sup>等几种类型。相对于全速率 PD,其它 PD 可以降低 VCO 的时钟频率,减小功耗等,但是也增加了 PD 的复杂度,对时钟相位的需求也要增加,并且过多的时钟相位对版图的设计也提出了苛刻的要求。综合考虑各方面因素,在保证达到设计速率的同时,电路结构尽可能简单,本文设计出了一种改进的半速率 PD 与相应的 FD 结合构成的新型 PFD。

### 2.1 改进的 PD 设计

常用的 Bang-bang 型 PD 有: D 触发器(DFE) PD<sup>[15]</sup>, Pottbacher PD<sup>[9]</sup>, Alexander PD<sup>[10]</sup> 及 Savoj PD<sup>[11]</sup>。其中前三种 PD 一般用于全速率 CDR 的设计,要求数据速率和时

钟速率相同,对电路的要求高,很难达到较高速率;而用于半速率 CDR 设计的 Savoj PD 是时钟采样数据型结构,由文献[11]可知其中双边沿触发器采样后的数据是与输入数据有一定相位差的速率相同的数据,所以当数据速率很高时,触发器保持时间和建立时间难以达到要求。

本次设计借助于全速率数据采样时钟型 DFF PD 结构的设计思想<sup>[15]</sup>,提出了一种半速率的数据采样时钟型 PD,以提高 PD 的工作速率。DFF PD 是一种最简单的鉴相器,仅由一个 DFF 构成,且要求时钟必须是全速率,这样数据采样时钟的值才不会变。所以如何提供全速率时钟是本设计的一个关键问题,本文采用两路正交的半速率时钟  $clk_{0\frac{\pi}{2}}$  和  $clk_{90\frac{\pi}{2}}$  进行异或(XOR)得到一路全速率时钟  $clk_{全}$ ,即:

$$clk_{全} = clk_{0\frac{\pi}{2}} \oplus clk_{90\frac{\pi}{2}} \quad (1)$$

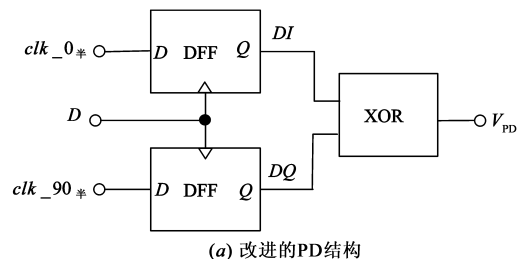
如此,若设 data 采样  $clk$  用“ $\wedge$ ”符号表示,则 DFF 的输出  $Q$  可以表示成:

$$Q = data \wedge clk_{全} \quad (2)$$

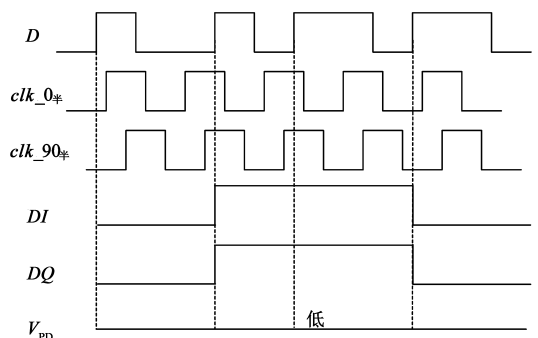
将式(1)代入式(2)可以得到:

$$\begin{aligned} Q &= data \wedge (clk_{0\frac{\pi}{2}} \oplus clk_{90\frac{\pi}{2}}) \\ &= (data \wedge clk_{0\frac{\pi}{2}}) \oplus (data \wedge clk_{90\frac{\pi}{2}}) \end{aligned} \quad (3)$$

可见若采用输入数据先对半速率正交时钟采样,然后将得到的信号异或,即可用半速率时钟实现了原本需要全速率时钟的 DFF,提高了 PD 的工作速率。改进后的 PD 结构如图 2(a)所示,由两个 DFF 以及一个异或门构成。当数据超前时钟时,PD 的输出为低电平,时序图如图 2(b)所示;同理,当数据滞后时钟时,PD 的输出为高电平,从而达到了鉴相的目的。



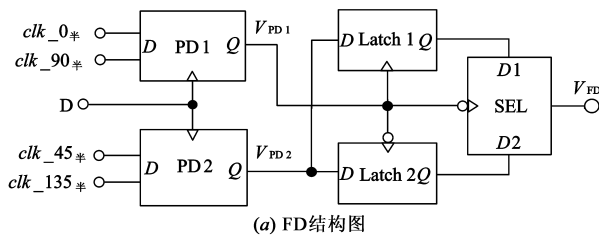
(a) 改进的PD结构



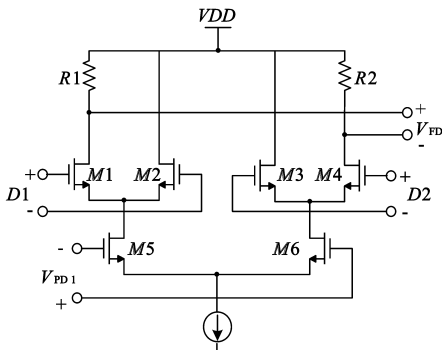
(b) 数据超前时钟时PD时序图  
图2 改进的PD结构及时序图

## 2.2 FD 设计

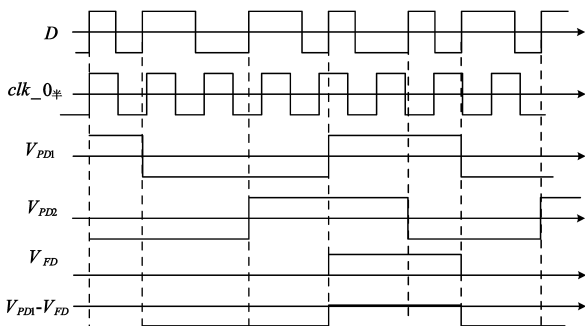
因为 PD 主要负责时钟相位的调整,其频率捕捉能力较弱,所以必须添加 FD. FD 是用来比较输入数据速率和时钟信号频率之间差的电路,本文设计了一个半速率 FD,结构如图 3(a)所示,包括两个 PD、两个锁存器(Latch)和一个三态输出选择器(SEL).图 3(b)给出了选择器电路,由图可见,当  $V_{PD1}$  为高电平时,  $M5$  截止,输出  $V_{FD}$  为正或者零;当  $V_{PD1}$  为低电平时,  $M6$  截止,输出  $V_{FD}$  为负或者零. FD 结构中两个 Latch 和 SEL 构成了一个三态输出的双边沿触发器. 当  $V_{PD2}$  为高电平时,在  $V_{PD1}$  的上升沿,  $V_{FD}$  为正,在  $V_{PD1}$  的下降沿,  $V_{FD}$  为负;当  $V_{PD2}$  为低电平时,在  $V_{PD1}$  的上升或下降沿,  $V_{FD}$  的输出均为零.



(a) FD 结构图



(b) SEL 电路



(c) 时钟频率低于数据半速率时的时序

图3 FD 结构、SEL 电路及时序图

图 3(c)给出了时钟信号频率低于数据半速率时整个 FD 的时序图,由上述分析可得到  $V_{FD}$  输出为零和正;同理当时钟信号频率高于数据半速率时,  $V_{FD}$  输出为零和负,这样就完成了鉴频的过程.

## 2.3 PFD 原理

由图 3(a)的结构框图可见,将 PD1 输出  $V_{PD1}$  引出即可用来判别时钟与数据信号相位是超前还是滞后,故此结构能够完成鉴相和鉴频两个功能,所以又可称为 PFD 的结构图,用  $V_{PD1}-V_{FD}$  来表示 PFD 的输出. PFD 检测输入数据速率和 VCO 初始频率之间的差,在 FD 的作用下通过 LPF 不断调整 VCO 的频率,使其趋近期望的频率 6.25GHz. 当 VCO 的频率趋近于 6.25GHz 时,  $V_{FD}$  输出为零,整个环路由 PD1 进行控制,进而实现相位调整. PFD 中锁存器均采用电流模逻辑(CML)电路<sup>[10~13,16]</sup>设计实现.

## 3 VCO 设计

VCO 产生 CDR 所需的时钟,为了满足上述 PFD 设计中所需要的四相位时钟,本设计采用结构如图 4 所示的四级级联的环形 VCO,每一级输出的相位差是  $45^\circ$ .

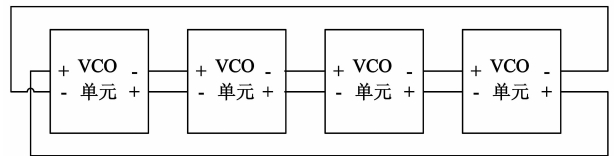


图4 四级环形VCO

其中 VCO 单元采用带有可变负电阻负载的 CML 差分电路<sup>[16]</sup>,通过偏置电流调节交叉耦合晶体管表现出的负阻值,从而调节振荡器的频率.具体电路如图 5 所示,  $V_c$  为粗调端,  $V_f$  为细调端,  $V_{c2}$ 、 $V_f/2$  分别为两个调节端的差分信号,差分信号可使得流经负载的总电流保持基本恒定,从而在整个调谐区间内, VCO 的电压输出摆幅尽可能地保持恒定,以保证 PFD 正常工作. 此结构 VCO 的频率随着调节电压  $V_c$ 、 $V_f$  的增大而增大.

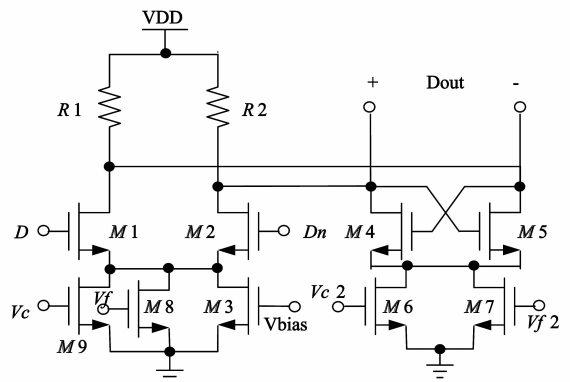


图5 VCO 单元电路

## 4 其它模块电路设计

### 4.1 V/I 转换器的设计

V/I 转换器的主要功能是把 PFD 提供的时钟与数

据的相位差关系以及时钟频率与数据速率之间的差转换成相应的充放电电流,电路结构如图 6 所示. PFD 中的 PDI 和 FD 输出各控制一个电流源,这两个电流源的电流在电流镜结构的负载上以相减的形式输出至 LPF,当  $V_{\text{PDI}} - V_{\text{FD}}$  小于零,时钟频率低于数据半速率时, V/I 转换器对 LPF 充电;当  $V_{\text{PDI}} - V_{\text{FD}}$  大于零,时钟频率高于数据半速率时, V/I 转换器对 LPF 放电. V/I 转换器的负载为电流镜,可实现双转单输出,同时还可以减轻充放电电流不匹配以及输出节点电荷共享问题,且通过采用折叠镜像处理方式,电路的输出电压摆幅被有效拓宽.

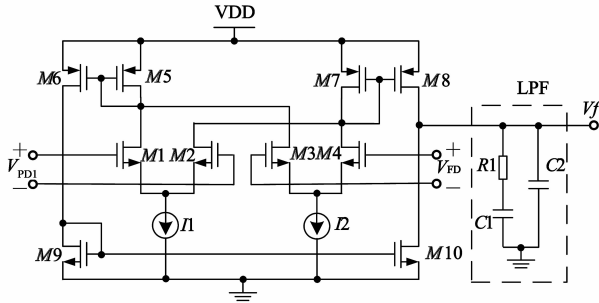


图6 V/I转换电路及LPF

## 4.2 LPF 的设计

LPF对V/I转换器输出的充放电电流进行滤波,提取出包含时钟相位和频率差信息的平均电压分量,作为VCO电压细调控制端 $V_f$ ,控制VCO得到相应的时钟信号.其设计的好坏对整个CDR电路的能否正常锁定、锁定时间以及恢复出时钟和数据的抖动有着直接的影响.本文采用二阶的LPF,如图6所示,与一阶LPF相比具有电压控制线的波纹较小等优点<sup>[10]</sup>.

## 4.3 1:2分接器设计

系统中1:2分接采用如图7所示的半速率结构<sup>[17]</sup>,由5个锁存器构成,锁存器均采用与PFD中锁存器结构相同的CML电路来实现.

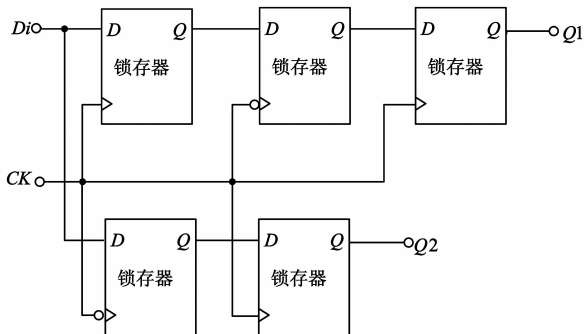


图7 半速率1:2分接器结构

## 5 测试结果

芯片采用TSMC 0.18 $\mu\text{m}$  CMOS工艺加工实现.包括焊盘的整体芯片面积为 $0.476 \times 0.538 = 0.256\text{mm}^2$ ,芯片照片见图8.

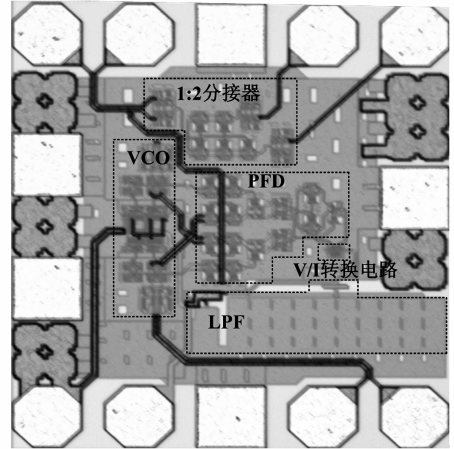


图8 芯片照片

采用Cascade Microtech探针测试台、Adventest D3186脉冲信号发生器以及Tektronix MS071254C示波器等仪器对芯片进行了测试.图9为VCO粗调端调谐特性曲线,增益 $K_{\text{vco}} = 2.322\text{GHz/V}$ ,中心频率在6.25GHz,线性调谐范围约为1GHz;调节 $V_c$ 、 $V_f$ 得到VCO振荡在6.25GHz时时钟波形(眼图模式输出)如图10所示.由于设备所限,实验室所采用的D3186脉冲信号发生器最高只能输出速率为12Gb/s,长度为 $2^{31} - 1$ 的伪随机的序列,此时,电源电压1.8V,CDR恢复的6GHz时钟波形(眼图模式输出)以及2分接的一路6Gb/s数据眼图如图11所示,时钟峰峰抖动为9.12ps, RMS抖动为1.9ps,二分接输出眼图张开较大,眼图清晰,整体电路核心模块功耗为150mW(不含输出缓冲).如果将VCO自由振荡频率控制在6.2GHz,输入12Gb/s速率数据,电路锁定,VCO可振荡在6GHz;同时若改变输入信号速率12~11.8Gb/s范围内,CDR也均能有效跟踪数据频率.所以环路在6GHz处的捕捉范围不小于300MHz.由上述测试结果估计,芯片完全可以工作在12.5Gb/s.

表1给出了本文与近期发表文献中CDR的综合比较.高速电路的设计中,一般可用数据速率与特定工艺中管子 $f_T$ 的比值来表征设计难度,值越大,难度越高.由表可知,由本文提出的新型的半速率PFD构成的CDR,虽其设计难度相对较高,但在较低工艺情况下,不但有效提高了电路工作速率,而且芯片面积和功耗等性能指标上也具有一定的优势.

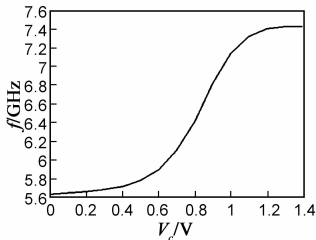


图9 VCO调谐曲线

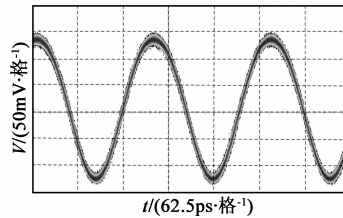


图10 6.25GHz时钟的波形

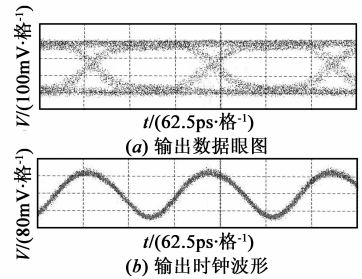


图11

表1 CDR 性能比较

文献	[7]	[8]	[12]	[14]	本文
工艺尺寸	65nm	90nm	0.18 $\mu$ m	0.13 $\mu$ m	0.18 $\mu$ m
输入数据速率	20Gb/s	12.5Gb/s	5Gb/s	10Gb/s	12Gb/s
电源电压	1.2V	1.2V	1.8V	1.5V	1.8V
时钟抖动 ( $p-p$ ) @5GHz	7ps	N/A	30.4@ 1.25GHz	30.7 ps @2.5GHz	9.12ps @6GHz
芯片面积	0.24mm <sup>2(1)</sup>	0.823mm <sup>2(2)</sup>	4.37mm <sup>2</sup>	0.2mm <sup>2(1)</sup>	0.256mm <sup>2</sup>
功耗	169.2mW	84mW <sup>(3)</sup>	71.9mW	122.5mW	150mW <sup>(4)</sup>
数据速率/ $f_T$	0.11	0.104	0.102	0.11	0.2448

(1)不含输出缓冲的核心面积;(2)核心面积;(3)不含VCO功耗;

(4)不含输出缓冲功耗

## 6 总结

CDR 是 SerDes 接收机的关键模块,已经成为一个非常重要的研究课题.本文提出了一种新型的 Bang-bang 半速率 PFD 结构,并采用 0.18 $\mu$ m CMOS 工艺使用此结构实现了一个 12.5 Gb/s CDR 和 1:2 分接器,实验结果表明,在输入数据为 12Gb/s 时,得到 6GHz 时钟的峰峰抖动为 9.12ps, RMS 抖动为 1.9ps,且整个系统工作性能良好,二分接器输出数据眼图清晰,达到了预期的目标.由于目前国际上尚未有采用该工艺实现的 12.5 Gb/s CDR 论文发表,所以本文为今后实现低工艺、高速率 SerDes 接收机积累了经验,而此电路结构则具有广泛的产业化应用前景.

## 参考文献

- [1] Zhang Xiaowei, Hu Qingsheng. A 6.25Gbps CMOS 10B/8B decoder with pipelined architecture[J]. Journal of semiconductors, 2011, 32(4): 045009-1-4.
- [2] Zhao Wenhui, Wang Zhigong. A CMOS word alignment configurable transceiver for multi-standard fiber communication systems[J]. Chinese Journal of Electronics, 2008, 17(2): 386-388.
- [3] Jayesh Patil, Lili He, Morris Jones. Clock and data recovery for a 6 Gbps SerDes receiver[A]. Conference on Computer Sci-

ence and Information Technology [C]. Chengdu: IEEE, 2010. 217-221.

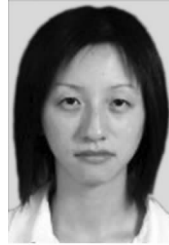
- [4] Sally Safwat, Ezz El-Din Hussein, Maged Ghoneima, et al. A 12Gbps all digital low power SerDes transceiver for on-chip networking circuits and systems[A]. International Symposium on Circuits and Systems[C]. Rio de Janeiro: IEEE, 2011. 1419-1422.
- [5] Mike Harwood, Steffen Nielsen, Andre Szczepanek, et al. A 225mW 28Gb/s SerDes in 40nm CMOS with 13dB of analog equalization for 100GBASE-LR4 and optical transport lane 4.4 applications[A]. 2012 IEEE International Solid-State Circuits Conference Digest of Technical Papers [C]. San Francisco: IEEE, 2012. 326-327.
- [6] Jri Lee, Behzad Razavi. A 40-Gb/s clock and data recovery circuit in 0.18 $\mu$ m CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2181-2190.
- [7] Young-Ho Kwak, Yongtae Kim, Sewook Hwang, et al. A 20 Gb/s clock and data recovery with a ping-pong delay line for unlimited phase shifting in 65nm CMOS process [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(2): 303-313.
- [8] Arash Zargarani-Yazd, Shahriar Mirabbasi. 12.5-Gb/s full-rate CDR with wideband quadrature phase shifting in data path[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2013, 60(6): 297-301.
- [9] Ansgar Pottbäcker, Ulrich Langmann, Hans-Ulrich Schreiber. A Si bipolar phase and frequency detector IC for clock extraction up to 8 Gb/s[J]. IEEE Journal of Solid-State Circuits, 1992, 27(12): 1747-1751.
- [10] Zhou Mingzhu, Sun Lingling, Wang Guangyi, et al. Designing 3.125GHz bang-bang PLL for clock recovery in 6.25 Gbps backplane communication receiver [A]. 2010 International Conference on Microwave and Millimeter Wave Technology [C]. Chengdu: IEEE, 2010. 639-942.
- [11] Jafar Savoj, Behzad Razavi. A 10-Gb/s CMOS clock and data recovery circuit with a half-rate Binary phase/frequency detector[J]. IEEE Journal of Solid-State Circuits, 2003, 38(1): 13-21.
- [12] Yung Sern Tan, Kiat Seng Yeo, Chirn Chye Boon, et al. A du-

al-loop clock and data recovery circuit with compact quarter-rate CMOS linear phase fetector[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2012, 59(6): 1156 – 1167.

- [13] 王勇,姚宏颖,王子宇.基于锁相环的 10.709 Gbit/s 时钟数据再生模块[J].电子学报,2005,33(8):1509 – 1511.  
Wang Yong, Yao Hong-ying, Wang Zi-yu. 10.709 Gbit/s CDR based on phase locked loop[J]. Acta Electronica Sinica, 2005, 33(8): 1509 – 1511. (in Chinese)
- [14] Chang-Lin Hsieh, Hong-Lin Chu, Shen-Iuan Liu. A 10Gb/s inductorless quarter-rate clock and data recovery circuit in 0.13 $\mu$ m CMOS[A]. IEEE Asian Solid-State Circuits Conference [C]. Taipei: IEEE, 2009. 165 – 168
- [15] Behzad Razavi 著. 光纤通信集成电路设计[M]. 胡先志, 胡佳妮译, 北京: 人民邮电出版社. 2008. 210 – 218.
- [16] Wang Junfeng, Feng Jun, Li Yihui, et al. 11.6-GHz 0.18 $\mu$ m monolithic CMOS phase-locked loop[J]. Journal of Southeast University (English Edition), 2007, 23(1): 35 – 38.
- [17] 潘敏,冯军.低功耗 0.18 $\mu$ m 10Gbit/s CMOS 1:4 分接器设计[J].东南大学学报(自然科学版),2013,43(2):274 – 278.

Pan Min, Feng Jun. Design of low-power 10Gbit/s 1:4 demultiplexer in 0.18 $\mu$ m CMOS[J]. Journal of Southeast University (Natural Science Edition), 2013, 43(2): 274 – 278. (in Chinese)

#### 作者简介



潘 敏 女,1983 年 10 月出生,安徽桐城人,东南大学在职博士研究生,合肥工业大学计算机与信息学院教师,研究方向为光纤通信高速集成电路设计.

E-mail: panmin@seu.edu.cn



冯 军(通信作者) 女,1953 年出生,江苏淮安人.现为东南大学信息科学与工程学院教授、博士生导师,研究方向为光纤通信高速集成电路设计.

E-mail: fengjun@seu.edu.cn